

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003年11月13日 (13.11.2003)

PCT

(10) 国際公開番号
WO 03/094227 A1

(51) 国際特許分類7: H01L 21/82, 27/04, 27/10, H03K 19/173, G11C 17/00

(21) 国際出願番号: PCT/JP03/05393

(22) 国際出願日: 2003年4月25日 (25.04.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-129283 2002年4月30日 (30.04.2002) JP
特願2002-346129 2002年11月28日 (28.11.2002) JP

(71) 出願人(米国を除く全ての指定国について): 科学技術振興事業団 (JAPAN SCIENCE AND TECHNOLOGY CORPORATION) [JP/JP]; 〒332-0012 埼玉県 川口市 本町 4-1-8 Saitama (JP). 理化学研究所 (RIKEN) [JP/JP]; 〒351-0198 埼玉県 和光市 広沢 2-1 Saitama (JP). 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都 港区 芝 5-7-1 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 阪本 利司 (SAKAMOTO, Toshitsugu) [JP/JP]; 〒108-8001 東京都 港区 芝 5-7-1 日本電気株式会社内 Tokyo (JP). 育

野 正和 (AONO, Masakazu) [JP/JP]; 〒351-0198 埼玉県 和光市 広沢 2-1 理化学研究所内 Saitama (JP). 長谷川 剛 (HASEGAWA, Tsuyoshi) [JP/JP]; 〒351-0198 埼玉県 和光市 広沢 2-1 理化学研究所内 Saitama (JP). 中山 知信 (NAKAYAMA, Tomonobu) [JP/JP]; 〒351-0198 埼玉県 和光市 広沢 2-1 理化学研究所内 Saitama (JP). 砂村 潤 (SUNAMURA, Hiroshi) [JP/JP]; 〒108-8001 東京都 港区 芝 5-7-1 日本電気株式会社内 Tokyo (JP). 川浦 久雄 (KAWAURA, Hisao) [JP/JP]; 〒108-8001 東京都 港区 芝 5-7-1 日本電気株式会社内 Tokyo (JP). 杉林 直彦 (SUGIBAYASHI, Naohiko) [JP/JP]; 〒108-8001 東京都 港区 芝 5-7-1 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 平山 一幸 (HIRAYAMA, Kazuyuki); 〒160-0022 東京都 新宿区 新宿 2-3-1 O 新宿御苑ビル 6階 Tokyo (JP).

(81) 指定国(国内): CN, JP, KR, US.

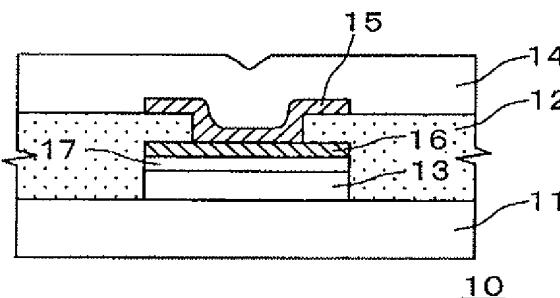
(84) 指定国(広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

添付公開書類:
国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTがゼットの巻頭に掲載されている「コードと略語のガイドラインノート」を参照。

(54) Title: SOLID ELECTROLYTE SWITCHING DEVICE, FPGA USING SAME, MEMORY DEVICE, AND METHOD FOR MANUFACTURING SOLID ELECTROLYTE SWITCHING DEVICE

(54) 発明の名称: 固体電解質スイッチング素子及びそれを用いたFPGA、メモリ素子、並びに固体電解質スイッチング素子の製造方法



layer (17) and the counter electrode layer (15). Thus a nonvolatile, low on-resistance switching device is provided.

(57) Abstract: A solid electrolyte switching device (10, 10', 20, 20') comprises a first interconnection layer (13) provided on a substrate (11) covered with an insulating layer, an ion supply layer (17) provided on the first interconnection layer (13), a solid electrolyte layer (16) provided on the ion supply layer (17), an interlayer insulating layer (12) covering the first interconnection layer (13), the ion supply layer (17), and the solid electrolyte layer (16) and having a via hole, a counter electrode layer (15) so disposed as to be in contact with the solid electrolyte layer (16) through the via hole, and a second interconnection layer (14) covering the counter electrode layer (15). The on/off state can be arbitrarily set by a threshold voltage applied between the ion supply

WO 03/094227 A1

(続葉有)

Latest bibliographic data on file with the International Bureau

Pub. No.: WO/2003/094227 International Application No.: PCT/JP2003/005393
Publication Date: 13.11.2003 International Filing Date: 25.04.2003

IPC: H01L 27/10 (2006.01), H01L 45/00 (2006.01)

Applicants: JAPAN SCIENCE AND TECHNOLOGY AGENCY [JP/JP]; 4-1-8, Hon-cho, Kawaguchi-shi, Saitama 332-0012 (JP) (All Except US).
RIKEN [JP/JP]; 2-1, Hirosawa, Wako-shi, Saitama 351-0198 (JP) (All Except US).
NEC CORPORATION [JP/JP]; 5-7-1, Shiba, Minato-ku, Tokyo 108-8001 (JP) (CN, JP only).
SAKAMOTO, Toshitsugu [JP/JP]; c/o NEC CORPORATION, 5-7-1, Shiba, Minato-ku, Tokyo 108-800 (JP) (US Only).
AONO, Masakazu [JP/JP]; c/o RIKEN, 2-1, Hirosawa, Wako-shi, Saitama 351-0198 (JP) (US Only).
HASEGAWA, Tsuyoshi [JP/JP]; c/o RIKEN, 2-1, Hirosawa, Wako-shi, Saitama 351-0198 (JP) (US Only).
NAKAYAMA, Tomonobu [JP/JP]; c/o RIKEN, 2-1, Hirosawa, Wako-shi, Saitama 351-0198 (JP) (US Only).
SUNAMURA, Hiroshi [JP/JP]; c/o NEC CORPORATION, 5-7-1, Shiba, Minato-ku, Tokyo 108-8001 (JP) (US Only).
KAWAURA, Hisao [JP/JP]; c/o NEC CORPORATION, 5-7-1, Shiba, Minato-ku, Tokyo 108-8001 (JP) (US Only).
SUGIBAYASHI, Naohiko [JP/JP]; c/o NEC CORPORATION, 5-7-1, Shiba, Minato-ku, Tokyo 108-8001 (JP) (US Only).

Inventors: SAKAMOTO, Toshitsugu [JP/JP]; c/o NEC CORPORATION, 5-7-1, Shiba, Minato-ku, Tokyo 108-800 (JP).
AONO, Masakazu [JP/JP]; c/o RIKEN, 2-1, Hirosawa, Wako-shi, Saitama 351-0198 (JP).
HASEGAWA, Tsuyoshi [JP/JP]; c/o RIKEN, 2-1, Hirosawa, Wako-shi, Saitama 351-0198 (JP).
NAKAYAMA, Tomonobu [JP/JP]; c/o RIKEN, 2-1, Hirosawa, Wako-shi, Saitama 351-0198 (JP).
SUNAMURA, Hiroshi [JP/JP]; c/o NEC CORPORATION, 5-7-1, Shiba, Minato-ku, Tokyo 108-8001 (JP).
KAWAURA, Hisao [JP/JP]; c/o NEC CORPORATION, 5-7-1, Shiba, Minato-ku, Tokyo 108-8001 (JP).
SUGIBAYASHI, Naohiko [JP/JP]; c/o NEC CORPORATION, 5-7-1, Shiba, Minato-ku, Tokyo 108-8001 (JP).

Agent: HIRAYAMA, Kazuyuki; 6th Floor, Shinjukugyoen Bldg., 2-3-10, Shinjuku, Shinjuku-ku, Tokyo 160-002 (JP).

Priority Data: 2002-129283 30.04.2002 JP
2002-346129 28.11.2002 JP

Title: SOLID ELECTROLYTE SWITCHING DEVICE, FPGA USING SAME, MEMORY DEVICE, AND METHOD FOR MANUFACTURING SOLID ELECTROLYTE SWITCHING DEVICE

Abstract: A solid electrolyte switching device (10, 10', 20, 20') comprises a first interconnection layer (13) provided on a substrate (11) covered with an insulating layer, an ion supply layer (17) provided on the first interconnection layer (13), a solid electrolyte layer (16) provided on the ion supply layer (17), an interlayer insulating layer (12) covering the first interconnection layer (13), the ion supply layer (17), and the solid electrolyte layer (16) and having a via hole, a counter electrode layer (15) so disposed as to be in contact with the solid electrolyte layer (16) through the via hole, and a second interconnection layer (14) covering the counter electrode layer (15). The on/off state can be arbitrarily set by a threshold voltage applied between the ion supply layer (17) and the counter electrode layer (15). Thus a nonvolatile, low on-resistance switching device is provided.

Designated States: CN, JP, KR, US.
European Patent Office (EPO) (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

Publication Language: Japanese (JA)
Filing Language: Japanese (JA)

